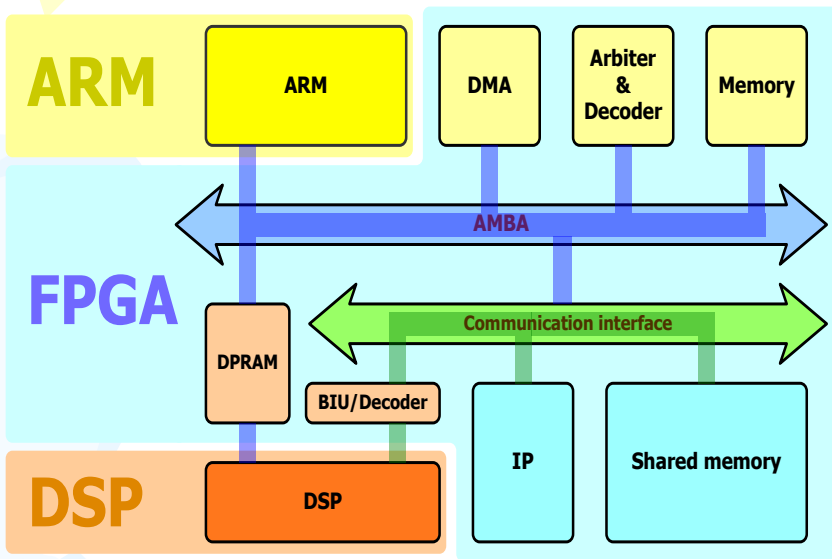


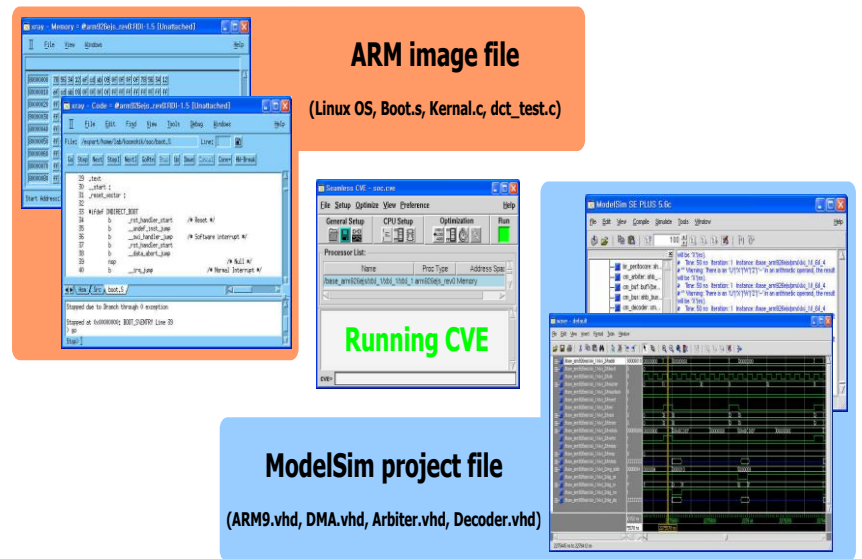
Multiprocessor System on a Chip platform 개발

- 과제명 : HW/SW 통합 설계 및 검증 기술 개발
- 주관기관 : 연세대학교
- 공동연구기관 : 성균관대학교(설계자동화연구실), 한양대학교, 이화여자대학교
- 참여기업 : (주)휴인스
- 위탁기관 : 한국소프트웨어진흥원
- 연구기간 : 03. 10. ~ '07. 12 (4년 3개월간)
- 참여인원 : 연구원 35명
- 최종제품의 개요

H/W & S/W 통합 설계 초기 단계에서 미리 H/W & S/W 부분을 효과적으로 분배 할 수 있는 성능 측정기를 개발하고, H/W & S/W 통합 설계와 검증을 지원할 수 있는 Platform 연구 및 개발을 통하여 Embedded용 S/W와 H/W의 통합 설계 및 검증을 가능하게 한다. 또한, SoC 설계의 단계별 통합 검증을 수행할 수 있는 기반을 구축하고, 이를 통해 SoC의 기술 경쟁력을 확보하는 밑거름을 마련한다.



HW/SW 통합 설계 및 검증용 플랫폼



Seamless CVE를 이용한 Simulation

- 주요 기능 및 특징 :
 - H/W & S/W 통합 설계를 위한 Platform 구조 개발
 - ➔ CPU(ARM9), DSP (Teak), FPGA 간의 효율적인 연동 구조/방안 연구 진행
 - 연구 및 교육을 위한 통신용/Media용 Platform 예제 설계
 - ➔ DTV System (DVB-T) Platform 설계 진행
 - H/W & S/W 성능 측정기 개발 및 통합 검증 환경 구축
 - Platform 상위 수준 성능 평가 기법 개발 및 Simulator 개발
 - General Purpose CPU를 이용하여 Embedded S/W와 H/W를 통합 설계할 수 있는 Platform의 개발
 - 신성장 동력원 중 Embedded S/W 개발에 필요한 Platform의 개발

- 기대효과 :
 - H/W & S/W 통합 설계 및 검증을 지원할 수 있는 Platform 개발을 통하여, CPU를 이용한 Embedded S/W와 H/W의 통합설계, DSP를 이용한 S/W 와 H/W의 통합설계, 그리고 신성장 동력원중 Embedded S/W 개발 등이 가능한 하나의 SoC 통합 설계 및 검증 시스템을 구축할 수 있다.
 - SoC 설계 흐름의 각 단계인 상위수준 Simulation, 하드웨어 Emulation, 그리고 SoC 구현단계에 동일한 Platform을 기반으로 한 설계 및 검증이 가능하므로, SoC 설계의 단계별 효율성과 통합성을 극대화 할 수 있고, 개발된 SoC에 대한 신뢰도를 향상시킬 수 있다.
 - Platform 기반의 SoC 설계 방법을 제시함으로써, SoC 설계 및 검증에 대한 일반론적 접근이 용의해질 뿐 아니라 SoC 설계 인력 양성에 필요한 교재 및 교육자료의 확보, 교육과정의 확립이 가능하여 차세대 반도체 산업의 기틀을 마련할 수 있다.